2006年（平成18年）11月24日（金曜日）　日経産業新聞

先端技術

テクノトレンド

チップ接続法CoC登場

大容量・高速を両立

ソニー採用 普及一気に

デジタル家電や携帯機器、サーバーやルータなど幅広い分野の機器を安価に高性能化できる半導体技術「CoC（チップ・オンチップ）」が登場した。呼び名の通り、半導体チップの上に別チップを重ねて接続する方法である。五百十二メガ（メガは百万）ビットや一ギガ（ギガは十億）ビットといった大容量のメモリーチップを、演算を処理する論理LSIのチップに重ねて、一個のパッケージの中に収納できる。二つのチップ間のデータ伝送速度は、毎秒数ギガ―数百ギガビットと高い。

実際に、ソニー・コンピュータエンタテインメントは、携帯型ゲーム機「プレイステーション・ポータブル（PSP）」にこの技術を適用した。ソニーは二〇〇五年に他社に先駆けて量産を始めている。機器の高性能・高機能化が進むにつれて、従来技術では対応しきれなくなってきたため、CoCを採用したという。

CoCの実用化は〇六年から〇七年にかけて一気に進みそうだ。国内半導体メーカーが相次ぎ製品化する見込みである。〇六年第四四半期にはルネサステクノロジが、〇七年第一四半期にはNECエレクトロニクスが製品への適用を計画している。ファブレス・メモリーメーカーのシステム・ファブリケーション・テクノロジーズの技術は〇七年にデジタル家電製品に採用される見込みである。

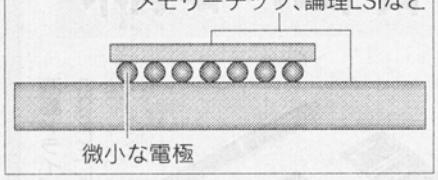
従来、メモリーと論理回路を一個のパッケージに収めたい場合、主に二つの方法のいずれかを用いていた。一つはSoC（システム・オン・チップ）である。DRAM混載技術と呼ぶ特殊な製造プロセスを使うことで、一個のシリコン・チップに論理回路とメモリーを集積する。もう一つは、SiP（システム・イン・パッケージ）である。この方式はCoCと同様に二つのチップを積み重ねるが、チップ間の接続方法が異なっていた。従来のSiPはチップ間を金などの細い金属線でつないでいた。

この二つの方法には一長一短があり、大容量メモリーの搭載と、メモリーと論理回路の間の高速なデータ伝送を両立できなかった。SoCは高速データ伝送には適しているが、大容量メモリーを搭載するとコストが高くなってしまう。従来のSiPは汎用品の大容量メモリーチップを利用できるが、チップ間の配線長が長くなるために高速データ伝送が難しかった。

今回のCoC技術で大容量メモリーの内蔵と高速データ伝送を両立できるのは、チップ間の接続方法を工夫したためだ。チップ間の接続に金属線ではなく、直径数十ミクロン（ミクロンは百万分の一）メートルの微小な突起状の電極を利用する。金属線を使う場合に比べ配線長が短くなり、データ伝送速度を高めやすい。電極を格子状に並べるので接続数も増やせる。あとは市販の大容量メモリーチップの設計を若干変更し、論理LSIと積み重ねればよい。

CoCにも課題はある。一つは、積み重ねられるチップは二層までという点、もう一つは汎用のメモリーチップをそのまま使うことができない点である。ただし、それぞれ実用上大きな問題にはならないとみられる。現状のCoCでは、一チップ当たり一ギガビットのメモリーまで利用できる。従来のSiPの多くは五百十二メガビットのメモリーを利用しており、同じ程度の容量ならばメモリーチップ一つで十分足りる。また、専用メモリーチップであっても製造プロセスは汎用品と同じなのでコスト上昇分はそこまで大きくない。

（日経エレクトロニクス　宇野麻由子）

＝詳細を日経エレクトロニクス11月20日号に掲載

CoCの断面図